

【請求項13】請求項12記載の光字表示装置であ  
る、

前記電磁波の付加は、前記各発光素子の発光の順番に応じたデータ信号が生成される期間の初期に行われる、電光変光装置、

【請求項14】 請求項12または13記載の電光変光装置であって、

前記付加電磁波は、各データ単位に対して前記データ信号を生成期間と並列に接続されたトランスミタを含む、電光変光装置、

【請求項15】 発光素子と前記発光素子の発光の順番を制御するための回路とをそれぞれ含む複数の前記回路がマトリクス状に接続された単体回路マトリクスと、各発光素子の発光の順番に応じたデータ信号を各単体回路に供給するための複数のデータ線と、を備えたマトリクスマトリクス駆動部の電光変光装置の駆動方法であって、

少なくとも1つの前記回路に前記データ線を介して前記データ信号を供給する際に、前記データ線の充電または放電を加減することと特徴とする電光変光装置の駆動方法、

【請求項16】 請求項15記載の方法であって、前記付加回路による前記発光素子の発光制御の期間は、電圧として供給される前記データ信号に応じて行われる、方法、

【請求項17】 請求項15または16記載の方法であって、前記発光素子または放電の加減は、所定のフリクエージ期間において前記データ線をフリクエージすることによって行われる、方法、

【請求項18】 請求項17記載の方法であって、

(1) 所定の第1の期間において、前記データ信号による前記付加回路の動作を行う過程に、(11) 前記第1の期間の後、前記第2の期間において、前記付加回路の動作状態に基づいて前記発光素子が発光する過程と、を備え、前記フリクエージ期間は、前記第2の期間以外の期間であって前記第1の期間が完了する前に規定される、方法、

【請求項19】 請求項18記載の方法であって、前記フリクエージ期間は、前記第1の期間が開始される以前に規定される、方法、

【請求項20】 請求項18記載の方法であって、前記フリクエージ期間は、前記第1の期間の初期の一部を含む期間に規定される、方法、

【請求項21】 請求項17ないし20のいずれかに記載の方法であって、

前記フリクエージは、発光制御の単体回路以下の低レベル電圧に相当する電圧値に前記データ線を充電または放電するように行われる、方法、

【請求項22】 請求項21記載の方法であって、前記フリクエージは、ゼロでない低レベル電圧値の近傍の電圧に相当する電圧値に前記データ線を充電または

放電するように行われる、方法、

【請求項23】 請求項17ないし22のいずれかに記載の方法であって、

各単体回路は、複数の色成分がそれぞれ設けられており、

前記フリクエージは、各色成分毎に異なる電圧で前記データ線を充電または放電するように行われる、方法、

【請求項24】 請求項15または16記載の方法であって、前記充電または放電の加減は、前記各発光素子の発光の順番に応じたデータ信号の電圧値に、前記充電または放電の加減のための電圧値を付加することによって行われる、方法、

【請求項25】 請求項24記載の方法であって、

前記電圧値の付加は、前記各発光素子の発光の順番に応じたデータ信号が生成される期間の初期に行われる、方法、

【請求項26】 複数の電流の電圧値に応じて動作が制御される複数の電流駆動素子と、

各電流駆動素子に、前記電流駆動素子の動作状態を規定するデータ信号を供給するためのデータ線と、

前記データ線間に前記データ信号を出力するためのデータ信号生成回路と、

前記データ線を介して前記データ信号が前記電流駆動素子に供給される際に、前記データ線の充電または放電を加減するための電圧加減回路と、を備える電圧装置、

【請求項27】 請求項26記載の電圧装置であって、前記電圧加減回路は、前記複数のデータ線をフリクエージすることが可能なフリクエージ回路を含む、電圧装置、

【請求項28】 請求項26記載の電圧装置であって、前記電圧加減回路は、前記電流駆動素子の動作状態に適した前記データ信号の電圧値に、前記データ線の充電または放電を加減するための電圧値を付加する付加電圧回路を含む、電圧装置、

【請求項29】 入力信号に对应して電流を生成する電流生成回路と、電光変光素子とを有した単体回路と、前記電流を前記単体回路に供給するデータ線と、を含む電光変光装置であって、前記入力信号の変化に伴う前記電流の変化を加減する加減手段を備えることを特徴とする電光変光装置、

【請求項30】 前記加減手段は、前記データ線の電位を、所定の電位に規定するフリクエージ回路であることを特徴とする請求項29記載の電光変光装置、

【請求項31】 前記加減手段は、前記データ線に流れる電流の一部の電流値となる付加電圧回路であることを特徴とする請求項29記載の電光変光装置、

【請求項32】 前記入力信号の変化に伴う前記電流の変化に応じて、前記加減手段の使用の差を制御する制御回路を備えていることを特徴とする請求項29乃至31の何れかに記載の電光変光装置、

至31の何れかに記載の電光変光装置、

【請求項33】 入力信号に对应して電流を生成する電流生成回路と、電光変光素子を備えた単体回路と、前記電流を前記単体回路に供給するデータ線と、を含む電光変光装置の駆動方法であって、

前記入力信号の変化に伴い前記電流の電圧値を前1の電圧値から前2の電圧値に変化させる操作を、電圧値の時間変化に伴う複数の期間を経て行うことを特徴とする電光変光装置の駆動方法、

【請求項34】 前記第1の電圧値から前2の電圧値に変化させる操作は、前記データ線を所定電位に規定するフリクエージ回路によって規定される第3の電圧値を釋出して行われることを特徴とする請求項33記載の電光変光装置の駆動方法、

【請求項35】 前記第1の電圧値から前2の電圧値に変化させる操作は、前記データ線に流れる電流の一部の電流値となる付加電圧回路によって規定される第3の電圧値を釋出して行われることを特徴とする請求項33記載の電光変光装置の駆動方法、

【請求項36】 前記第3の電圧値は、前記第2の電圧値と前記付加電圧回路とを流れる電流値とに基づいて規定されることを特徴とする請求項35記載の電光変光装置の駆動方法、

【請求項37】 前記第3の電圧値は、前記第1の電圧値と前記付加電圧回路とを流れる電圧値とに基づいて規定されることを特徴とする請求項35記載の電光変光装置の駆動方法、

【請求項38】 前記第2の電圧値は、前記第1の電圧値よりも小さいことを特徴とする請求項33乃至37の何れかに記載の電光変光装置の駆動方法、

【請求項39】 前記第3の電圧値は、前記第1の電圧値と前記第2の電圧値との間の電圧値であることを特徴とする請求項37に記載の電光変光装置の駆動方法、

【請求項40】 前記第1の電圧値から前記第3の電圧値への電圧値の時間変化に伴う電圧値は、前記第3の電圧値よりも大きいことを特徴とする請求項39記載の電光変光装置の駆動方法、

【請求項41】 前記第1の電圧値と前記第3の電圧値との差の絶対値は、前記第3の電圧値と前記第2の電圧値との差の絶対値よりも大きいことを特徴とする請求項40記載の電光変光装置の駆動方法、

【請求項42】 前記第1の電圧値及び前記第2の電圧値は、前記入力信号に对应した電圧値であることを特徴とする請求項3乃至41の何れかに記載の電光変光装置の駆動方法、

【請求項43】 前記第1の電圧値と前記第3の電圧値との差に基づいて、前記第1の電圧値を第2の電圧値に変化させる操作を、前記電流の時間変化に伴う複数の期間を経て行う必要があるかを判定し、当該判

定で必要であると判定されたときに、前記複数の期間を経て前記第1の電圧値を前記第2の電圧値に変化させるようにしていることを特徴とする請求項33乃至42の何れかに記載の電光変光装置の駆動方法、

【請求項44】 前記請求項33乃至43の何れかに記載の電光変光装置の駆動方法により駆動されることを特徴とする電光変光装置、

【請求項45】 入力信号に对应して電流を生成する電流生成回路と、電光変光素子を備えた単体回路と、前記電流を前記単体回路に供給するデータ線と、を含む電光変光装置であって、

前記入力信号の変化に对应して前記電流を変化させる際に、前記データ線の電位をリセットするリセット手段を備えることを特徴とする電光変光装置、

【請求項46】 前記電流に応じた電圧を保持する電圧保持手段を備え、前記リセット手段は、前記データ線及び前記電圧保持手段の電位をリセットするようになっていることを特徴とする請求項45記載の電光変光装置、

【請求項47】 前記リセット手段は、前記電流を変化させる前に前記リセットを行うようになっていることを特徴とする請求項45又は46記載の電光変光装置、

【請求項48】 入力信号に对应して電流を生成する電流生成回路と、電流駆動素子を備えた単体回路と、前記電流を前記単体回路に供給するデータ線と、を含む電子装置であって、

前記入力信号の変化に伴う前記電流の変化を加減する加減手段を備えることを特徴とする電子装置、

【請求項49】 前記加減手段は、前記データ線の電位を、所定の電位に規定するフリクエージ回路であることを特徴とする請求項48記載の電子装置、

【請求項50】 前記加減手段は、前記データ線に流れる電流の一部の電流値となる付加電圧回路であることを特徴とする請求項48記載の電子装置、

【請求項51】 前記入力信号の変化に伴う前記電流の変化に応じて、前記加減手段の使用の差を制御する制御回路を備えていることを特徴とする請求項48乃至50の何れかに記載の電光変光装置、

【請求項52】 請求項49乃至51及び前記請求項44乃至47の何れかに記載の電光変光装置を、表示部として利用することを特徴とする電子装置、

【発明の簡単な説明】

【0001】 本発明は、表示装置の画素回路など、単体回路の駆動に用いられるデータ線の駆動技術に関する。

【0002】

【従来の技術】 近年、有機EL素子 (Organic Electroluminescent Element) を用いた電光変光装置の開発されている。有機EL素子は、自ら発光素子であり、バックライトが不要なので、視野が広く、高コントラ



の電流値を第1の電流値から第2の電流値に変化させる動作を、電流値の時間変化中の異なる複数の期間を経て行うことを特徴とする。

【0030】この構成によれば、入力信号の変化に伴って電流を変化させる際に、第1の電流値から第2の電流値に変化させる操作を、時間変化中の異なる複数の期間を経て行うようにしたので、第1の電流値から第2の電流値に変化するまでに要する所定期間の短縮を図ることができ、従って、前記回路に接続されたデータ線の駆動時間を短縮することが可能である。

【0031】本発明による第3の電圧発生回路は、入力信号に対応して電流を生成する電圧発生回路と、電圧発生回路を備えた前記回路と、前記電流を前記回路の両端に供給するデータ線と、を含む電圧発生装置であって、前記入力信号の変化に対応して前記電流を変化させる際に、前記データ線の電位をリセットするリセット手段を備えることを特徴とする。

【0032】この電圧発生装置によれば、入力信号の変化に対応して電流を生成させる際に、リセット手段によってデータ線の電位をリセットするようにしたので、データ線の電位値をより速やかに変化させることができ、従って、前記回路に接続されたデータ線の駆動時間を短縮することが可能である。

【0033】前記回路の両端は、前記回路に応じた電圧を保持する電圧保持手段を備え、前記リセット手段は、前記データ線及び前記電圧保持手段の電位をリセットするようにしていてもよい。この構成によれば、データ線及び電圧保持手段の電位を共にリセットするようにしたので、データ線だけでなく、電圧保持手段の両端電位も、変化後の電位値に応じた保持電位により速やかに一致させることができる。

【0034】本発明による第2の電子装置は、入力信号に応じた電流を生成する電圧発生回路と、電流駆動素子を備えた前記回路と、前記電流を前記回路の両端に供給するデータ線と、を含む電子装置であって、前記入力信号の変化に伴う前記電流の変化を前記する追加手段を備えることを特徴とする。

【0035】なお、本発明は、種々の形態で実施することが可能であり、例えば、電圧発生回路、表示回路、その電圧発生回路や表示回路を備えた電子装置、これらの装置の駆動方法、その方法の種別を表現するためのコンピュータプログラム、そのコンピュータプログラムを記録した記録媒体、そのコンピュータプログラムを含み、該記録媒体に記録されたデータ信号、等の形態で実現することができ、

【0036】【発明の効果の概要】次に、本発明の効果の概要を本発明に基いて以下の順序で説明する。

A. 第1実施例 (付加電流その1) :  
B. 第2実施例 (付加電流その2) :

C. 第3実施例 (付加電流その3) :

D. 付加電流を用いた変形例 :

E. 第4実施例 (リチヤージ) :

F. フリチャージ・リミットに関する変形例 :

G. フリチャージ回路の配置に関する変形例 :

H. 電圧調整への応用例 :

I. その他の変形例 :

【0037】A. 第1実施例 (付加電流その1) : 図2は、本発明の第1実施例としての表示装置の構成を示すブロック図である。この表示装置は、コントローラ100と、表示マトリクス駆動200 (「画素駆動」とも呼ぶ) と、ゲートドライバ300と、データ線ドライバ400とを有している。コントローラ100は、表示マトリクス駆動200に表示を行わせるためのゲート駆動信号とデータ駆動信号を生成して、ゲートドライバ300とデータ線ドライバ400にそれぞれ供給する。

【0038】図3は、表示マトリクス駆動200とデータ線ドライバ400の内部構成を示している。表示マトリクス駆動200は、マトリクス状に配列された複数の画素回路210を有しており、各画素回路210は、有機EL素子220とそれと接続している。画素回路210のマトリクスには、その列方向に沿って伸びる複数のデータ線Xm (m=1〜M) と、行方向に沿って伸びる複数のゲート線Yn (n=1〜N) とがそれぞれ接続されている。なお、データ線は「ソース線」とも呼ばれ、また、ゲート線は「ゲート線」とも呼ばれる。また、本明細書では、画素回路210を「列方向」あるいは「行方向」とも呼ぶ。画素回路210内のランジスタは、通常はTFTで構成される。

【0039】ゲートドライバ300は、複数のゲート線Ynのうち1本を選択的に駆動して1行分の画素回路群を選択する。データ線ドライバ400は、各データ線Xmをそれぞれ駆動するための複数の単一ランジスタ410を有している。これらの単一ランジスタ410は、各データ線Xmを介して画素回路210にデータ信号を供給する。このデータ信号に対して画素回路210の内部抵抗 (後述する) が設定されると、これによって有機EL素子220に流れる電流の制御が可能となる。この結果、有機EL素子220の発光の制御が可能となる。

【0041】図4は、画素回路210の内部構成を示す回路図である。この画素回路210は、m番目のデータ線とn番目のゲート線Ynとの交点に配置されている回路である。なお、ゲート線Ynは、2本のサブゲート線V1、V2を含んでいる。

【0042】画素回路210は、データ線Xmに流れる電流値に応じて有機EL素子220の発光を制御する電圧制御回路である。具体的には、この画素回路210は、有機EL素子220の両端に、4つのランジスタ211〜214と、保持キャパシタ230 (「保持コンデンサ」あるいは「記憶キャパシタ」とも呼ぶ) とを介して接続される。データ線Xmは、データ線Xmを介して供給されるデータ信号に応じた電位を保持し、これによって、有機EL素子220の発光の制御を制御するためのものである。すなわち、保持キャパシタ230は、データ線Xmに流れる電流値に応じた電位を保持する電圧保持手段に相当する。第1ないし第3のランジスタ211〜213は、nチャネル型MOSFETであり、第4のランジスタ214は、pチャネル型MOSFETである。有機EL素子220は、pタイプとnタイプの両方の電流注入型 (電圧駆動型) の発光素子なので、ここではダイオードの記号で示されている。

【0043】第1のランジスタ211のソースは、第2のランジスタ212のドレインと、第3のランジスタ213のドレインと、第4のランジスタ214のドレインと、にそれぞれ接続されている。第1のランジスタ211のドレインは、第4のランジスタ214のゲートに接続されている。保持キャパシタ230は、第4のランジスタ214のソースとゲートとの間に接続されている。また、第4のランジスタ214のソースは、電流値Vdにも接続されている。

【0044】第2のランジスタ212のソースは、データ線Xmを介して単一ランジスタ410 (図3) に接続されている。有機EL素子220は、第3のランジスタ213のソースと電流電圧との間に接続されている。

【0045】第1と第2のランジスタ211、212のゲートは、第1のサブゲート線V1に共通に接続されている。また、第3のランジスタ213のゲートは、第2のサブゲート線V2に接続されている。

【0046】第1と第2のランジスタ211、212は、保持キャパシタ230に電荷を蓄積する際に使用される。第1のランジスタ211は、第3のランジスタ213は、有機EL素子220の発光回路において、オン状態に保たれるスイッチングランジスタである。また、第3のランジスタ214は、有機EL素子220に流れる電流値を制御するための駆動ランジスタである。第4のランジスタ214の電流値は、保持キャパシタ230に保持される電流値 (蓄積電圧) によって制御される。

【0047】図5は、画素回路210の通常の動作を示すタイミングチャートである。ここでは、第1のサブゲート線V1の電位値 (以下、第1のゲート信号V1) も呼ぶ) と、第2のサブゲート線V2の電位値 (以下、第2のゲート信号V2、も呼ぶ) と、データ線Xmの電流値I<sub>on</sub> (「データ信号」out) も呼ぶ) と、有機EL素子220に流れる電流値I<sub>EL</sub>とが示されている。

【0048】駆動期間Tcは、プログラミング期間T<sub>p</sub>と発光期間T<sub>el</sub>とに分かれている。ここで、「駆動期間T<sub>c</sub>」とは、表示マトリクス駆動200のすべての有機EL素子220の発光の駆動が1回ずつ更新される期間を意味しており、いわゆるフレーム周期と同じものである。駆動の更新は、1行分の画素回路群の駆動が行われ、駆動期間T<sub>c</sub>の間に1行分の画素回路群の駆動が繰り返し更新される。例えば、30Hzで全画素回路の駆動が更新される場合には、駆動期間T<sub>c</sub>は約33msである。

【0049】プログラミング期間T<sub>p</sub>は、有機EL素子220の発光の制御を画素回路210内に規定する期間である。本明細書では、画素回路210への駆動の規定を「プログラミング」とも呼んでいる。例えば、駆動期間T<sub>c</sub>は約33msであり、ゲート線Ynの電圧V<sub>on</sub>が480Vである場合には、プログラミング期間T<sub>p</sub>は約69ns (=33ms/480) 以下になる。

【0050】プログラミング期間T<sub>p</sub>では、まず、第2のゲート信号V2をレベルに設定して第3のランジスタ213をオン状態 (飽和) に導く。次に、データ線Xmに電圧駆動に応じた電流値I<sub>m</sub>を流し、第1のゲート信号V1をレベルに設定して第1と第2のランジスタ211、212をオン状態 (飽和) に導く。このとき、このデータ線Xmの単一ランジスタ410 (図3) は、発光期間に応じた一定の電流値I<sub>m</sub>を流す定電流駆動として動作する。図5 (c) に示されているように、この電流値I<sub>m</sub>は、所定の電流値の期間R<sub>1</sub>内において、有機EL素子220の発光の制御に応じた値に設定されている。

【0051】保持キャパシタ230には、第4のランジスタ214 (駆動ランジスタ) を通じて電流値I<sub>m</sub>に応じた電位を保持した状態となる。この結果、第4のランジスタ214のソース/ゲート間には、保持キャパシタ230に記憶された電位が加えられる。なお、本明細書では、プログラミングに用いられるデータ信号の電流値I<sub>m</sub>を「プログラミング電流値I<sub>m</sub>」と呼ぶ。

【0052】プログラミングが終了すると、ゲートドライバ300が第1のゲート信号V1をレベルに設定して第1と第2のランジスタ211、212をオン状態とし、また、データ線ドライバ400はデータ信号I<sub>on</sub>を出力する。

【0053】発光期間T<sub>el</sub>では、第1のゲート信号V1

1)をレベルに維持して第1と第2のトランジスタ21、212をオフ状態に保ったまま、第2のゲート信号V2をレベルに設定して第3のトランジスタ213をオン状態に設定する。保持キャパシタ230には、プログラムミツング電流1mに供給した電圧が予め記憶されているので、第4のトランジスタ214にはプログラムミツング電流1mとほぼ同じ電圧が供給される。従って、有線E1素子220にもプログラムミツング電流1mとほぼ同じ電圧が供給し、この電流1mに依りた状態で発光する。このように、保持キャパシタ230の電圧(すなわち電荷)が電流1mによって書き込まれるタイクの間隔期間210は、電流プログラムΔ期間」と呼ばれている。

[0054] 図1は、単一インドライバ410の内部構成を示す回路図である。単一インドライバ410は、デーク信号生成回路420(「駆動電流発生部」あるいは「電流発生部」とも呼ぶ)と、付加電流回路430(「付加電流発生部」とも呼ぶ)とを備えている。デーク信号生成回路420と付加電流回路430は、デーク電圧Xmと接地電位との間に接続されている。

[0055] デーク信号生成回路420は、スイッチングトランジスタ41と駆動トランジスタ42との両列接続21が、N側分(又は2以上の階数)並列に接続された構造をしている。図1の例ではNは6である。6つの駆動トランジスタ42のゲートには、リファレンス電圧Vrefが共通に与えられている。また、6つの駆動トランジスタ42の利得係数βの比は、1:2:4:8:16:32に設定されている。なお、利得係数βは、良く知られているように、 $\beta = (W/L) \cdot \mu_n C_{ox}$ で表される。ここで、μはキャリアの移動度、C<sub>ox</sub>はゲート単位、Wはチャンネル幅、Lはチャンネル長である。6つの駆動トランジスタ42は、足電流として機能する。トランジスタの電流駆動能力は利得係数βに比例するので、6つの駆動トランジスタ42の電流駆動能力の比は、1:2:4:8:16:32である。

[0056] 6つのスイッチングトランジスタ41のオンオフは、コントロール100(図2)から与えられる6ビットのデーク駆動信号Ddata(「入力信号」とも呼ぶ)によって制御される。デーク駆動信号Ddataはの下位6ビットは、利得係数βが最も小さな(すなわちβの出力電流が10)の回路に供給されており、上位6ビットは利得係数βが最も大きな(すなわちβの出力電流が320)の回路に供給されている。この結果、デーク信号生成回路420は、デーク駆動信号Ddataの値に比例した電流1mを生成する電流として機能する。デーク駆動信号Ddataの値は、有線E1素子220の光の強度を示す値に設定されている。従って、デーク信号生成回路420からは、有線E1素子220の発光の制御に応じた電流1mを生成するデーク信号が出力される。

[0057] 付加電流回路430は、スイッチングトラン

ジスタ43と駆動トランジスタ44との直列接続で構成されている。駆動トランジスタ44のゲート電荷は、リファレンス電圧Vrefが供給される。スイッチングトランジスタ43のオンオフは、コントロール100から与えられる付加電流駆動信号Dpによって制御される。スイッチングトランジスタ43がオン状態のときには、リファレンス電圧Vrefに依りた所定の付加電流1pが付加電流回路430からデーク電圧Xm上に供給される。

[0058] 図2は、付加電流回路430を利用した場合のプログラムミツング期間Tpr(図5)における電流の変化を示す時間図である。図2(1)では、デーク信号生成回路420からプログラムミツング電流1mの出力が開始され、また、付加電流回路430からも付加電流1pの出力が開始される。このとき、単一インドライバ410から出力される電流1mと和(1m+1p)になる。図2(2)で付加電流1pが停止した後の期間12〜14では、プログラムミツング電流1mだけが単一インドライバ410の出力電流となる。なお、付加電流1pが流れる期間1〜12は、例えば、プログラムミツング電流1mが流れる期間1〜14の初期の1/4程度の期間に設定される。付加電流1pが流れる期間1〜12をプログラムミツング電流1mが流れる期間1の期間に設定する。付加電流1pによる電流増強への影響を小さくするために、付加電流1pの値は、例えばプログラムミツング電流1mの最大値と最小値の中間程度の値に設定される。

[0059] 正確に言えば、図2(a)に示す出力電流1mは単一インドライバ410の電流駆動能力を示しており、デーク電圧Xm上の実電流1sは、図2(b)に示すように変化する。すなわち、図2(1)では、増強時に大きな電流が流れるが、徐々に減少して、電流1(m+1p)に近づいてゆく。図2(2)で付加電流回路430がオフになると、実電流1sはさらに減少する。しかし、図2(2)以降では、電流自体が小さいのでデーク駆動信号D(図3)を電流または電圧する速度が低く、この結果、電流の変化は1〜12の期間よりも緩やかになる。そして、図2(3)では、プログラムミツング電流1mで実電流1sが減少し、期間13〜14ではこのプログラムミツング電流1mが維持される。従って、プログラムミツング期間Tpr内において、正しいプログラムミツング電流1mで電流回路210がプログラムミツングされる。

[0060] このような付加電流1pの利用は、「プログラムミツング電流1mを、前回の行のプログラムミツングにおける第1の電流値から、今回の行のプログラムミツングにおける第2の電流値に依存する操作を、電流値の時間変化率が異なる複数の期間(図2の期間1〜12と、期間12〜13)を経て行うもの」とも表すことも

可能である。なお、この第1の電流値から第2の電流値への変化は、今回のプログラムミツングのプログラムミツング電流1mと付加電流1pとの和である第3の電流値(1m+1p)を利用して行われる。

[0061] 図2(b)に示す一点線は、付加電流1pを用いず、単一インドライバ410の電流駆動能力が一定である場合(図2(c))の出力電流の変化を示している。このときには、付加電流1pを用いる場合と比べて期間1〜12における電流値が小さいので、電流の変化もより緩やかである。従って、プログラムミツングの終了時点14においても、実電流1sがプログラムミツング電流1mに達しない場合がある。このような場合には、図2(3)で正しい電流1mにプログラムミツングすることのできない可能性もある。あるいは、正しくプログラムミツングを行うために、プログラムミツング期間Tprを延長しておく必要が生じるという問題を生じる。これに對して、付加電流1pを用いると、プログラムミツング期間Tpr内に正しいプログラムミツングを行うことが可能である。

[0062] 図3は、プログラムミツング期間Tprにおけるデーク電圧Xmの電圧値Vdの変化を示す時間図である。図3は、図2の動作を電圧値で描いたものである。なお、図3における時点11、14は、正確に言えば、図2に示されているように、第1のゲート信号V1のレベルが変化する時点に相当する。

[0063] 一般に、n番目の行の電流回路中のプログラムミツングが開始される前は、デーク電圧Xmの出力電圧Vdは、(n-1)番目の行の電流回路中のプログラムミツングにおけるデーク電圧Xmのプログラムミツング電流1mに依りた値である。図3は、有線E1素子の電圧増強Gと、デーク電圧Xmの電流値1m(すなわちプログラムミツング電流1m)と、デーク電圧の電圧値Vdとの関係を示している。第1段階の電圧増強では、増強Gが小さい(すなわち増強が低いほど)電流1mは増大し、デーク電圧の電圧値Vd(すなわち電圧Vd)は低下する傾向にある。電圧値Vdは、最も低い電圧Vminでは電圧増強Vdに近づくに相当する電圧値となり、最も高い増強Gmaxでは電圧増強に近づくに相当する電圧値となる。なお、図3(c)の例では、前回の行(すなわち(n-1)番目の行)のプログラムミツングにおけるプログラムミツング電流1mが比較的大きく、従って、今回のプログラムミツング電流1mが比較的小さい場合を想定している。

[0064] 図3の増強G1でプログラムミツングが開始されると、デーク電圧Xmは単一インドライバ410の出力電流1m(=1m+1p)によって充電または放電され、電圧値Vdは比較的速い速度で増大する。時点12で付加電流1pが流れると、充電/放電速度が低下し、電圧値Vdの変化もより緩やかになる。しかし、プログラムミツング期間Tpr内の時点13において、所望の

プログラムミツング電流1mに依りた電圧値Vdに到達している。

[0065] 以上の説明から理解できるように、付加電流回路430は、デーク電圧Xmの充電または放電を増強するための電圧増強部として機能する。なお、本明細書において、「充電または放電の増強」とは、本来の望ましい電流値(本明細書ではプログラムミツング電流1m)のみにあるデーク電圧の充電または放電よりも増強して充電または放電を増強する。また、付加電流回路430は、デーク電圧の変化に伴う電流の変化を増強する増強手段。あるいは、デーク電圧Xmの電圧値を所定の値にリセットするためのリセット手段として機能すると考えることも可能である。

[0066] 図3(c)に一点線線で示すように、付加電流1pが流れる場合には、充電/放電速度は速い速度に保たれており、この例では、プログラムミツング期間Tprの終期14においても所望のプログラムミツング電流1mに依りた電圧値Vdに到達している。従って、前回の図210に示しているプログラムミツング電流1mを保持して正しい電流1mをプログラムミツングすることができない可能性がある。

[0067] このように、本発明例においては、付加電流1pを用いてデーク電圧または放電を増強を行うことにより、図2(3)に示しているプログラムミツングを行うことが可能である。また、プログラムミツング期間を短縮して、有線E1素子220の駆動電圧の減衰化を抑制できる。

[0068] なお、付加電流1pを用いたデーク電圧の充電または放電の増強は、通常は、図2(3)のトリックに含まれるすべてのデーク電圧Xmについて同時に行われる。但し、前回路でトリスに含まれる複数のデーク電圧の一部のデーク電圧に対してのみ、付加電流1pを用いたデーク電圧の充電または放電の増強を個別に行うようにしてもよい。例えば、プログラムミツングの増強時に、前回のn番目のデーク電圧Xmの電圧値Vd(図3)が、所望のプログラムミツング電流1mに依りた電圧値Vdに近づく場合には、付加電流1pを利用しなくてもよい。具体的には、コントロール100が、各デーク電圧に関して、(n-1)番目の行でのプログラムミツング電流1mと、n番目の行でのプログラムミツング電流1mとを互いに比較し、その差が所定範囲以内であれば、n番目の行のプログラムミツング時に付加電流1pを利用しないことと判断してもよい。また、これらのプログラムミツング電流の差に応じて、付加電流1pの値を変化させてもよい。換言すれば、プログラムミツング電流1mの増強時と今回の増強とに応じて付加電流1pの電流値を決定する手段と、決定された付加電流1pを各デーク電圧Xmに供給する手段とを設けるようにしてもよい。この構成によれば、より効果的に付加電流1pを利用することが

で、駆動の高速化を図ることができる。

[0069] あるいは、今回のプログラムミニア電流1mが所定の値域より小さい場合に付加電流1pを利用し、プログラムミニア電流1mが所定より大きい場合には付加電流1pを利用しないことと判断してもよい。この理由には、プログラムミニア電流1mが大きい場合には、デューティ比の光電流または放電の十分に大きく行われるので、付加電流1pを利用しなくても十分放電に所望のプログラムミニア電流1mを達成できるからである。

[0070] この代わりに、今回のプログラムミニア電流1m(第2の電流)が前回のプログラムミニア電流1m(第1の電流)より小さく、且つ、今回のプログラムミニア電流1mと付加電流1pとの和(第3の電流)が、前回のプログラムミニア電流1mと付加電流1pを和算することよりもよい、これらの電流値は、これ以外の段々の間隔に設定することも可能である。例えば、第3の電流値を、第1の電流値と第2の電流値との間の電流値としてもよい。また、第1の電流値から第3の電流値への電流値の時間変化は第2の電流値から第3の電流値への電流値の時間変化に準拠されより大きいものとしてもよい。さらに、第1の電流値と第3の電流値との差の絶対値を、第3の電流値と第2の電流値との差の絶対値よりも大きいものとしてもよい。

[0071] 付加電流1pを利用するか否かの判断は、デューティ比を行うことが好ましい。但し、前回の回のプログラムミニア電流1pにおけるプログラムミニア電流の値に拘わらず、常に付加電流1pを利用するものとする。表示装置全体の駆動が停機になるという利益がある。

[0072] 以上のように、本発明では、プログラムミニア電流の初期に付加電流1pをプログラムミニア電流1mに加算することによって、初期で正確なプログラムミニア電流を行うことが可能である。あるいは、プログラムミニア電流を増減して、有電圧1素子20の駆動電流の高速化を図ることが可能である。特に、放電初期の大電流を高精度化によって駆動部間の高速化が図られるので、大電流素子パネルや高輝度表示パネルにおいて上述の効果が顕著である。

[0073] B、第2実施例(付加電流その2)：図11は、本発明の第2実施例としての表示装置の駆動構成を示すブロック図である。この表示装置は、デューティ比400aの光電流電圧Vdに接続されている素子が1実施例と異なる。また、以下に説明するように、単一インポート回路410aの内部構成と、制御回路210aの内部構成も第1実施例と異なっている。

[0074] 図11は、図1とは、回路図210aの内部構成を示す回路図である。この回路図210aは、14個の単一インポート回路410aと、4つのトランジスタ210aは、有電圧1素子20と、4つのトランジスタ

241~244と、保持キャパシタ230とを介している。なお、4つのトランジスタ241~244は、Dチャネル型PMTである。

[0075] デューティ比Xmには、第1のトランジスタ241と、保持キャパシタ230と、第2のトランジスタ242とを介する間に直列に接続されている。第2のトランジスタ243のドレインは、有電圧1素子220に接続されている。第1と第2のトランジスタ241、242のゲートには、第1のサブゲート線V1が直列に接続されている。

[0076] 光電流電圧Vdと接地電圧との間には、第3のトランジスタ243と、第4のトランジスタ244と、有電圧1素子220との直列接続が介挿されている。第3のトランジスタ243のドレインと第4のトランジスタ244のソースは、第1のトランジスタのドレインにも接続されている。第3のトランジスタ243のゲートには、第2のゲート線V2が接続されている。また、第4のトランジスタ244のゲートは、第2のトランジスタ243のソースに接続されている。保持キャパシタ230は、第4のトランジスタ244のソースとゲートとの間に接続されている。

[0077] 第1と第2のトランジスタ241、242は、保持キャパシタ230に所望の電圧を供給する際に使用されるスイッチングトランジスタである。第3のトランジスタ243は、有電圧1素子220の発光期間においてオン状態に保たれたスイッチングトランジスタである。また、第4のトランジスタ244は、有電圧1素子220に接続する電流値を制御するための駆動トランジスタである。第4のトランジスタ244の電流値は、保持キャパシタ230に保持される電圧値によって制御される。

[0078] 図12は、第2実施例の回路図210aの通常の動作を示すタイミングチャートである。この動作では、図12に示した第1実施例の動作から、ゲート線V1、V2の論理が反転している。また、第2実施例では、図11の内部構成から理解できるように、プログラムミニア電流1pを介して、第1と第4のトランジスタ241、244とを接続して付加電圧1素子220にプログラムミニア電流1mが流れる。従って、第2実施例では、プログラムミニア電流1pにおいても有電圧1素子220が発する。このように、プログラムミニア電流1pでは、有電圧1素子220が発光してよく、あるいは、第1実施例のように発光しなくてもよい。

[0079] 図13は、第2実施例の単一インポート回路410aを示す回路図である。この単一インポート回路410aは、デューティ比Xmの電流電圧Vdに接続されている。このため、デューティ比生成回路420aの駆動トランジスタ2と、付加電流電圧430aの駆動トランジスタ44とが、いずれもDチャネル型PMTで構成されている。図13に示した第1実施例と異なっ

ている。他の構成は、第1実施例と同じである。

[0080] 図14は、第2実施例における有電圧1素子の発光原理図と、デューティ比Xmの電流電圧1mと、デューティ比電圧Vdとの関係を示している。第2実施例では、第1実施例とは反対に、単一インポート回路410aがデューティ比Xmの電流電圧Vdに接続されているので、発光Cとデューティ比Xmの電流電圧Qd(すなわち電圧Vd)との関係が第1実施例とは逆転している。すなわち、発光Cがわかれば(すなわち発光電圧Vd)、デューティ比の電流電圧Qd(すなわち電圧Vd)は、発光Cの電流電圧Qd(すなわち電圧Vd)に比例する傾向にある。電流電圧Qdは、発光Cの電流電圧Qdに比例する電流電圧となり、発光Cの電流電圧Qdは、発光Cの電流電圧Qdに比例する電流電圧となる。

[0081] 図15は、第2実施例のプログラムミニア電流1pにおけるデューティ比Xmの電流電圧Qdの変化を示す原理図である。この変化は、図15に示した第1実施例での変化とは目的に同じである。但し、図15(c)においてプログラムミニア電流1mの電流電圧Qdが比較的小さいことは、第1実施例とは逆に、前回の行(すなわち(n-1)番目の行)のプログラムミニア電流1mの電流電圧Qdが比較的小さいことを意味している。

[0082] この第2実施例の表示装置も、第1実施例と同様の動作をする。すなわち、プログラムミニア電流1pの初期に付加電流1pをプログラムミニア電流1mに加算することによって、回路図210aに示した初期で正確なプログラムミニア電流を行うことが可能である。あるいは、プログラムミニア電流を増減して、有電圧1素子220の駆動電流の高速化を図ることが可能である。

[0083] C、第3実施例(付加電流その3)：図15は、第3実施例の単一インポート回路410bを示す回路図である。この単一インポート回路410bは、図12に示した第1実施例と異なっている。図12に示した第1実施例と異なっているが、付加電流電圧430bの構成が第1実施例と異なっている。すなわち、この付加電流電圧430bは、スイッチングトランジスタ43と駆動トランジスタ44との直列接続を組むことであり、これらは互いに直列に接続されている。2つの駆動トランジスタ44の制御電圧Bとの比は、例えば1:2に設定される。また、付加電流電圧430bは2つのゲート線として接続される。この付加電流電圧430bを用いた場合には、付加電流1pを、付加電流電圧430bが取り得る4つの電圧0~3に亘る14個のレベルのいずれかに任意に設定することが可能である。

[0084] 図17は、第3実施例の付加電流回路430bを利用した場合のプログラムミニア電流1pの動作を示す原理図である。ここでは、付加電流1pが、より低いレベル1p2から、より高いレベル2のレベル1p1に昇化している。この結果、第1実施例や第2実施例に比べて、より早くデューティ比を光電流または放電できる可能性がある。この動作も理解できるように、付加電流を利用する場合に、付加電流値を2段階以上に変化させて、デューティ比Xmの出力電流1mを3段階以上に変化させるようにしてもよい。

[0085] また、図15の付加電流電圧430bを用いた場合にも、第1実施例と同様に、付加電流1pのレベルを、前回の行に対するプログラムミニア電流値と、今回の行に対するプログラムミニア電流値とに応じて決定することが可能である。こうすれば、プログラムミニア電流値に応じた適切な付加電流値を選択的に利用することが可能である。

[0086] なお、このような多量の付加電流1pを利用した付加電流回路430bは、第2実施例にも適用可能である。

[0087] D、付加電流を利用した変形例：付加電流の利用に関しては、以下のような種々の変形が可能である。

[0088] D1：付加電流回路は、単一インポート回路410の間に設ける必要はなく、デューティ比Xmに接続されていれば他の位置に設けることも可能である。また、デューティ比Xm毎に1つの付加電流回路を設ける代わりに、複数のデューティ比に対して1つの付加電流回路を設けてもよい。

[0089] D2：また、付加電流回路を設けずに、デューティ比生成回路420によってプログラムミニア電流1mより大きな電流値をプログラムミニア電流の初期に発生させ、所定時間の経過後にプログラムミニア電流1mに切り換えるようにしてもよい。

[0090] 以上の各種の変形例や変形から理解できるように、付加電流を利用する際には、一般に、プログラムミニア電流の初期においてプログラムミニア電流1mよりも大きな電流をデューティ比に流すようにすればよい。こうすることによって、そのデューティ比の光電流または放電を促進することができ、正確なプログラムミニア電流の駆動が可能となる。

[0091] E、第4実施例(リチウム)：図18は、本発明の第4実施例としての表示装置の構成を示すブロック図である。この表示装置は、図12に示した第1実施例の表示装置の各デューティ比Xm(m=1~M)に、リチウム回路600をそれぞれ設けたものであり、他の構成は図12に示したものと同一である。但し、デューティ比電圧Vdは従来の電圧と異なる。なお、単一インポート回路410としては、付加電流電圧430(図18)を介していないものを利用することも可能である。

[0092] 各デューティ比Xmには、表示トリガス200とデューティ比生成回路440との間の間に、リチウム回路600がそれぞれ接続されている。リチウム回路600は、定電圧源であるリチウム電圧V



この出力が第411には、リチヤージ回路600にも接続されている。シフトレジスタ700は、各データ線Xmのスイッチングレジスタ250にオン/オフ制御信号を供給しており、これによって、データ線Xmを1つずつ順次選択する。

[0111] この表示装置では、第411回路210が第412に追加される。すなわち、データバス300で選択された1つのデータ線Xnと、シフトレジスタ700で選択された1つのデータ線Xmと、の交点に存在する1つの第413回路210のみが1回のプログラミングで更新される。例えば、n番目のデータ線Xnで選択されたM個の第413回路210について1つずつ順次プログラミングが行われ、その後、次の(n+1)番目のデータ線Xn上のM個の第413回路210が1つずつプログラミングされる。これに対して、上述した各種の記憶体や変形例においては、1行分の第413回路が同時に(すなわち、同時に)プログラミングされている点で、図2に示した表示装置と相違が現れている。

[0112] 図2の表示装置のように、点駆動で第413回路210のプログラミングを行う場合には、上述した第413回路と同様に、各第413回路のプログラミングの完了時にデータ線のリチヤージを行うことによって、第413回路210に正しいプログラミングを行うことが可能であり、あるいは、プログラミングの間を短縮して有電E<sub>L</sub>素子220の駆動電位の安定化を図ることができ

る。

[0113] 図2の装置においても、リチヤージ回路600は、複数のデータ線Xm (m=1〜M) の共通または共通を追加することが可能である点で、上述した変形例や変形例と共通している。但し、図2のリチヤージ回路600は、複数のデータ線を同時に共通または共通するのではなく、1本ずつ共通または共通である点である。この説明からも理解できるように、本明細書において、ある回路が「複数のデータ線の共通または共通を追加できる」という文では、その回路が複数のデータ線に関する共通または共通を同時に追加できる場合に限り、1本ずつ順次共通または共通を追加できる場合も含んでいる。

[0114] なお、図2では、点駆動のプログラミングを行う表示装置において、データ線にリチヤージを行う場合の例を説明したが、このような装置においてデータ線の共通または共通の追加を行う手段としては、前述した付加回路600も同時に利用可能である。例えば、図2の単一ラインドライバ410は、図2に示した回路構成を行っている中で、その付加回路430を用いて付加電圧1<sub>0</sub>を発生させることができる。但し、リチヤージと付加電圧の両方を同時に利用できるように回路を構成する必要はなく、いずれか一方のみを利用してそのような回路構成を採用してもよい。

[0115] H<sub>1</sub> 電子機器への適用例：有電E<sub>L</sub>素子を

利用した表示装置は、モバイル用のパーソナルコンピュータ、携帯電話や、ディスプレイパネルカメラ等の種々の電子装置に適用することができる。

[0116] 図2では、モバイル用のパーソナルコンピュータの構成を示す例である。パーソナルコンピュータ1000は、主ボード1020を備えた外部メモリ40と、有電E<sub>L</sub>素子を用いた表示ユニット1060とを備えている。

[0117] 図2では、携帯電話の構成である。この携帯電話2000は、複数の通話ライン2020と、受信口2040と、送出口2060と、有電E<sub>L</sub>素子を用いた表示パネル2080を備えている。

[0118] 図2では、ディスプレイパネルカメラ3000の構成を示す例である。なお、外部機器との接続についても簡易的に示している。通常のカメラは、被写体の光線によってフィルムを露光するのに対し、ディスプレイパネルカメラ3000は、被写体の光線をCCD (Charge Coupled Device) 等の感光素子の光電変換によって電気信号を生成するものである。ここで、ディスプレイパネルカメラ3000のケース3020の前面には、有電E<sub>L</sub>素子を用いた表示パネル3040が設けられており、CCDによって電気信号に於いて表示が行われる。このため、表示パネル3040は、被写体を表示するフレイドとして機能する。また、ケース3020の駆動線(図においては駆動線)には、光センサーやCCD等を含んだ光ユニット3060が取り付けられている。

[0119] ここで、被写体が表示パネル3040に表示される被写体像を露光して、シヤツボク3080を押下すると、その時点におけるCCDの駆動信号が、回路基板3100のメモリに送達・格納される。また、このディスプレイパネルカメラ3000にあっては、ケース3020の前面に、ビデオ出力端子3120と、データ駆動の入出力端子3140とが設けられている。そして、図に示されるように、前記のビデオ出力端子3120には、テレビモニタ4300が、また、後者のデータ駆動の入出力端子3140にはパーソナルコンピュータ4400が、それぞれ必要に応じて接続される。さらに、所定の機能によって、回路基板3100のメモリに格納された被写体像が、テレビモニタ4300や、パーソナルコンピュータ4400に出力される。

[0120] なお、電子機器としては、図2のパーソナルコンピュータや、図2の携帯電話、図2のディスプレイパネルカメラの他にも、テレビ、ビデオインタラクティブな被写体のビデオカメラ、カーナビゲーション装置、ペーパ、電子手帳、電圧、プロボクセツ、ラケットゲーム、テレビ電話、POS端末、タッチパネルを備えた装置等を持つことができる。これらの各種の電子機器の表示部として、有電E<sub>L</sub>素子を用いた上述の表示装置が適用可能である。

[0121] I. その他の変形例：

I.1: 上述した各種の変形例や変形例では、すべてのトランジスタがFETで構成されているものとしたが、一連または全部のトランジスタをバイポーラトランジスタや他の種類のスイッチング素子で置き換えることも可能である。FETのゲート電極は、バイポーラトランジスタのベース電極は、本発明における「制御電極」に相当する。これらの各種のトランジスタとしては、積層トランジスタ(MT)に加え、シリコンベースのトランジスタも適用可能である。

[0122] I.2: 上述した各種の駆動例や変形例では、表示ユニット200が1組の第413回路でトランジスタを有するものとしていたが、表示ユニット200が複数の第413回路でトランジスタを有するものとしてもよい。例えば、大型パネルを構成する際に、表示ユニット200を複数の複数の駆動線に区分し、各駆動線に1組の第413回路でトランジスタをそれぞれ設けるようにしてもよい。また、1つの表示ユニット200内にRGBの3つの色に相当する3組の第413回路でトランジスタを設けるようにしてもよい。複数の第413回路でトランジスタ(即ち駆動トランジスタ)が存在する場合には、各トランジスタに上述した変形例や変形例を適用することが可能である。

[0123] I.3: 上述した各種の駆動例や変形例で用いた第413回路では、図2に示したようにプログラミング駆動TPと共通駆動TE1とが設けられていたが、プログラミング駆動TPが共通駆動TE1の一種に限るような第413回路を用いることも可能である。このような第413回路に対しては、発光期間TE1の初期にプログラミングが行われて発光の期間が決定され、その後、決定された期間で発光が継続する。このような第413回路を利用した装置に用いても、付加電圧やリチヤージによるデータ線の追加を行うことによって、第413回路に正しい発光期間を設けることが可能であり、あるいは、プログラミングの間を短縮して有電E<sub>L</sub>素子の駆動電位の安定化を図ることができる。

[0124] I.4: 上述した各種の駆動例や変形例では、電圧プログラミング型の第413回路(発光素子の決定)が行われる。図2の電圧プログラミング型の第413回路に関する例を説明したが、本発明は、電圧プログラミング型の第413回路の共通または共通の追加を行うことができる。図2の電圧プログラミング型の第413回路に対しては、データ線の電圧値に対してプログラミング(発光素子の決定)が行われる。但し、電圧プログラミング型の第413回路を用いた表示装置では、発光素子が正しいと定まらなければ、電圧プログラミング型の電圧値を設けて小さくできるので、プログラミングに多大な損耗を要する可能性がある。従って、電圧プログラミング型の第413回路の駆動線を用いた表示装置に本発明を適

用したときには、データ線の共通または共通の追加による効果により期待される。

[0126] I.5: 上述した各種の駆動例や変形例においては、有電E<sub>L</sub>素子220の発光の期間を露光できるものとしていたが、本発明は、例えば定電流を流して白黒表示(2値表示)を行う表示装置にも適用することができる。また、本発明は、バイポーラトランジスタを用いて有電E<sub>L</sub>素子を駆動する場合にも適用可能である。但し、多数素子の駆動が可能である露光や、アクティブトランジスタ駆動を用いる表示装置に対しては、駆動の安定化への要がより強いので、本発明の発光素子もより期待される。さらに、本発明は、第413回路でトランジスタに配属した被写体像に限らず、他の配属を配属した場合にはも適用することが可能である。

[0127] I.6: 上述した変形例や変形例では、有電E<sub>L</sub>素子を用いた表示装置の例を説明したが、本発明は、有電E<sub>L</sub>素子以外の発光素子を用いた表示装置や電子装置にも適用可能である。例えば、駆動電圧に対して発光の期間を露光可能な他の種類の発光素子(LEDやFED (Field Emission Display) など) を有する装置にも適用することができる。

[0128] I.7: 本発明は、さらに、発光素子以外の他の駆動電圧の素子にも適用可能である。このような駆動電圧の素子としては、電圧AM (VAM) が行われる。図2では、電圧AMを利用したメモリ駆動の構成を示すブロック図である。

[0129] このメモリ駆動は、メモリセルトランジスタ820と、ワード線ドライバ830と、ビット線ドライバ840とを有している。メモリセルトランジスタ820は、メモリセルに形成された複数の電圧メモリセル810を有している。電圧メモリセル810のワードラインには、その列方向において伸びる複数のビット線X<sub>1</sub>、X<sub>2</sub>…と、行方向において伸びる複数のワード線Y<sub>1</sub>、Y<sub>2</sub>…とがそれぞれ形成されている。この図3.1と図3.2の駆動例は3とを比較すれば理解できるように、メモリセルトランジスタ820が電圧メモリセル810に接続されている。また、電圧メモリセル810が第413回路210に、ワード線ドライバ830がワード線ドライバ300に、ビット線ドライバ840がデータ線ドライバ400にそれぞれ接続されている。

[0130] 図3.1は、電圧メモリセル810の構成を示す例である。この電圧メモリセル810は、強磁性金属膜からなる2つの電極811、812の間に、絶縁体からなる第413回路813が形成された構造を有している。電圧AMは、2つの電極811、812間に電圧V<sub>0</sub>を印加してトランジスタを流したと定まると、そのトランジスタの電流の大きさからその強磁性金属膜の磁化M<sub>1</sub>、M<sub>2</sub>の向きと方向を求め、データ線の電圧値を行うようにしたものである。具体的には、2つの電極811、812間の電圧V<sub>0</sub> (または駆動) を決定すること

によって、記憶されているデータが「0」か「1」かが判定される。

【0131】一方の電極12は、その端にM2の向きが固定された基体として利用され、他方の電極811は、データ記憶層として利用される。前掲の電極811は、ビット線Xm（書き込み電極）にデータ電流Imはを流し、これに応じて発生する磁界により電極811の磁化M1の向きを変えることによって行われる。磁界の読み出しは、ビット線Xm（読み込み電極）に逆方向の電流を流し、このときのトンネル抵抗や電圧を電流的に読み出すことにより行われる。

【0132】なお、図3および図3Lで説明したメモリ装置は、このような磁気RAMを用いた装置の一例であり、磁気RAMの構造や情報の読み出し方法については、様々なものが提案されている。

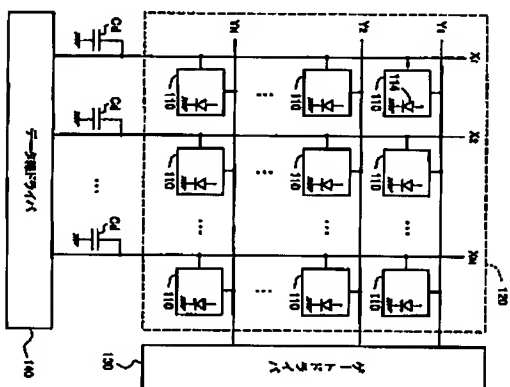
【0133】本発明は、この磁気RAMのように、発光素子では無い電流駆動素子を用いた電子装置にも適用することができる。すなわち、本発明は一般に、電流駆動素子を用いた電子装置に適用可能である。

【図面の簡単な説明】  
【図1】有機EL素子を用いた表示装置の一般的な構成を示すブロック図。  
【図2】本発明の第1実施例としての表示装置の概略構成を示すブロック図。  
【図3】表示トランス部200とデータ線ドライバ400の内部構成を示すブロック図。  
【図4】第1実施例の画素回路210の内部構成を示す回路図。  
【図5】第1実施例の画素回路210の通常の動作を示すタイミングチャート。  
【図6】第1実施例の単一ラインドライバ410の内部構成を示す回路図。  
【図7】付加電流回路430を利用した場合のプログラミング期間TPにおける電流値の変化を示す図解図。  
【図8】有機EL素子の発光の原理と、プログラミング電流Imと、データ線の電流Idとの関係を示すグラフ。  
【図9】有機EL素子の発光の原理と、プログラミング電流Imと、データ線の電流Idとの関係を示すグラフ。

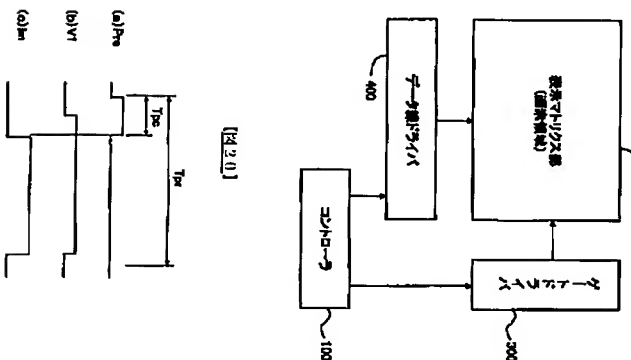
【図15】第2実施例でのプログラミング期間TPにおけるデータ線Xmの電流値の変化を示す図解図。  
【図16】本発明の第3実施例の単一ラインドライバ410Bを示す回路図。  
【図17】第3実施例の付加電流回路430Aを利用した場合のプログラミング期間TPの動作を示す図解図。  
【図18】本発明の第4実施例としての表示装置の構成を示すブロック図。  
【図19】第4実施例におけるプログラミング期間TPの動作を示す図解図。  
【図20】フリチャージ回路の動作を示す図解図。  
【図21】フリチャージ回路の動作を示す図解図。  
【図22】フリチャージ回路の動作を示す図解図。  
【図23】フリチャージ回路の動作を示す図解図。  
【図24】フリチャージ回路の動作を示す図解図。  
【図25】フリチャージ回路の動作を示す図解図。  
【図26】フリチャージ回路の動作を示す図解図。  
【図27】本発明に係る表示装置を用いた電子機器の一例としてのパーソナルコンピュータの構成を示す図解図。  
【図28】本発明に係る表示装置を用いた電子機器の一例としての携帯機器の構成を示す図解図。  
【図29】本発明に係る表示装置を用いた電子機器の一例としてのデジタルカメラの構成を示す図解図。  
【図30】本発明の他の実施例としての磁気RAM素子の構成を示すブロック図。  
【図31】磁気RAMの概略構成を示す図解図。  
【図32】（付図の説明）  
41...スイッチングトランジスタ  
42...駆動トランジスタ  
43...スイッチングトランジスタ  
44...駆動トランジスタ  
100...コントローラ  
110...画素回路  
114...有機EL素子  
120...表示トランス部  
130...データドライバ  
140...データ線ドライバ  
200...表示トランス部（簡略図）  
210...画素回路  
210A...画素回路  
211...スイッチングトランジスタ  
214...駆動トランジスタ

220...有機EL素子  
230...保持キャパシタ  
241...243...スイッチングトランジスタ  
244...駆動トランジスタ  
250...スイッチングトランジスタ  
300...データドライバ  
400...データ線ドライバ  
410...単一ラインドライバ  
411...出力抵抗  
420...データ保持生成回路  
421...出力抵抗  
430...付加電流回路  
600...フリチャージ回路  
610...スイッチングトランジスタ  
700...シフトレジスタ  
810...駆動素子セル  
811, 812...電極  
813...駆動素子  
820...メモリセルマトリクス部  
830...ワード線ドライバ

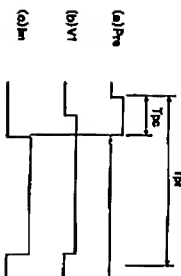
【図1】



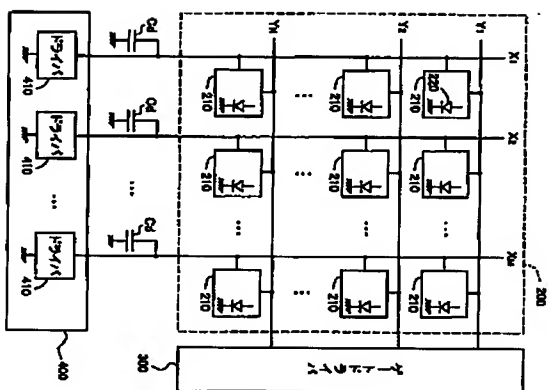
【図2】



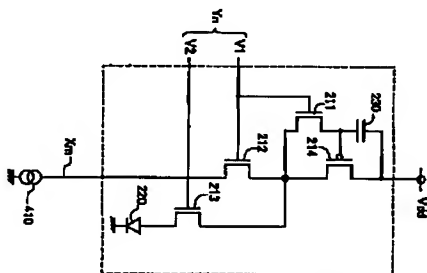
【図3】



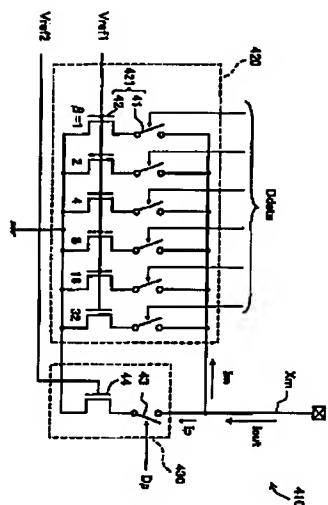
[図3]



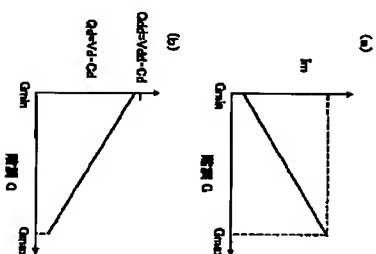
[図4]



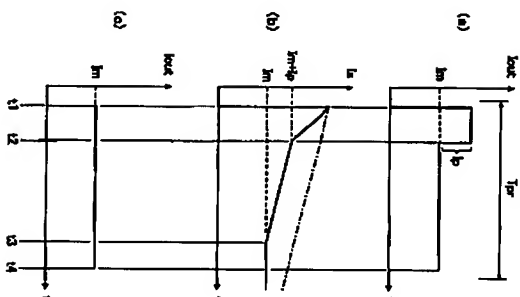
[図5]



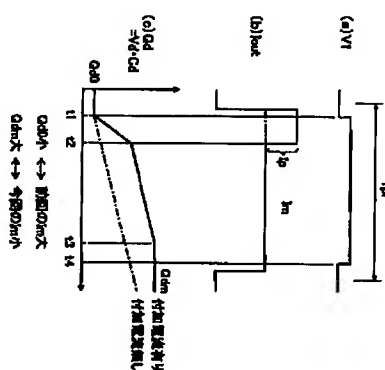
[図6]



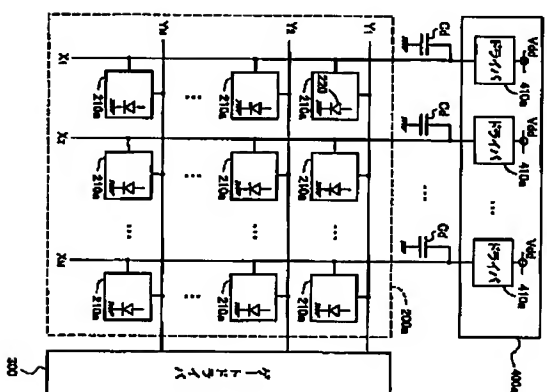
[図7]



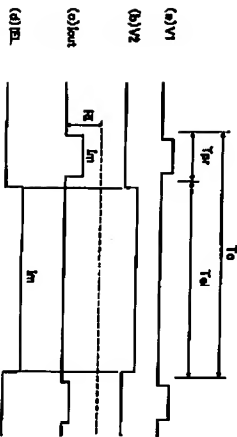
[図8]



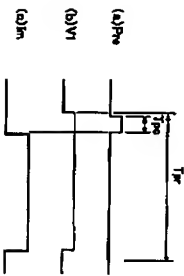
[図9]



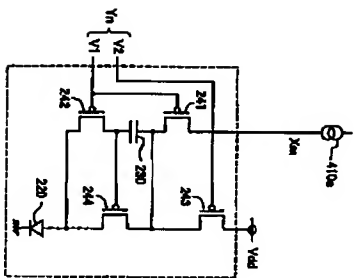
[図10]



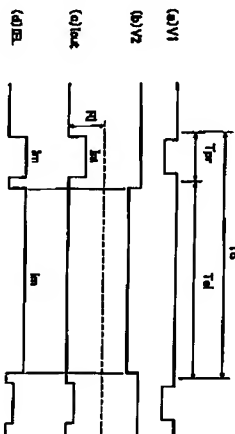
[図11]



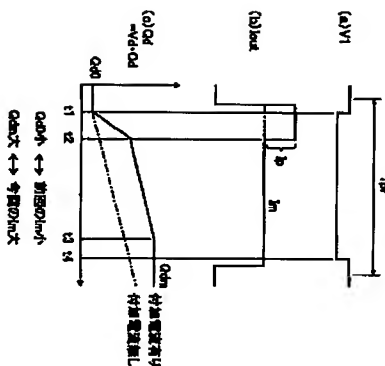
[図1.1]



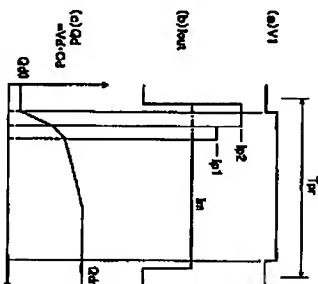
[図1.2]



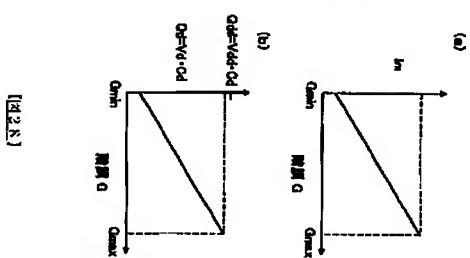
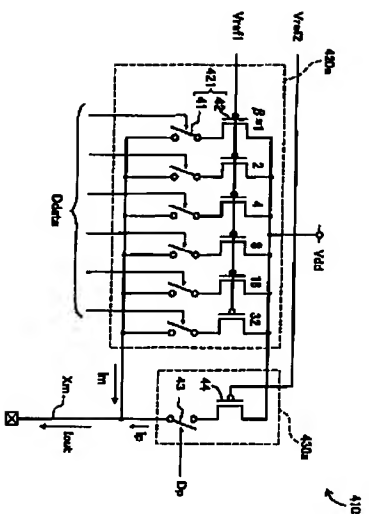
[図1.5]



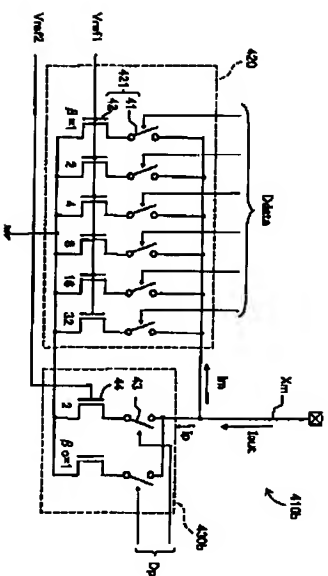
[図1.7]



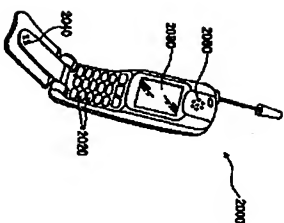
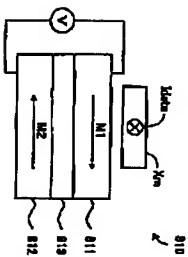
[図1.3]



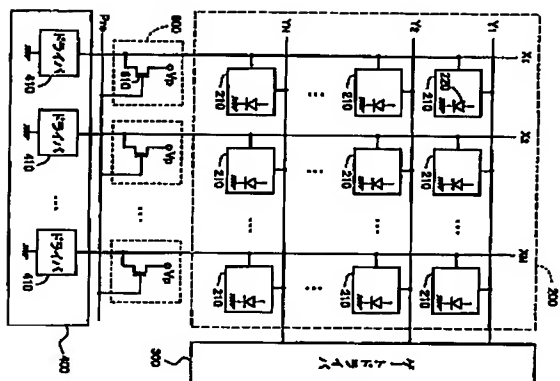
[図1.6]



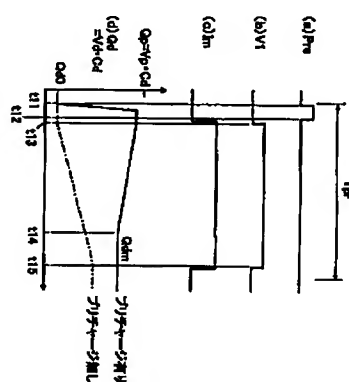
[図3.1]



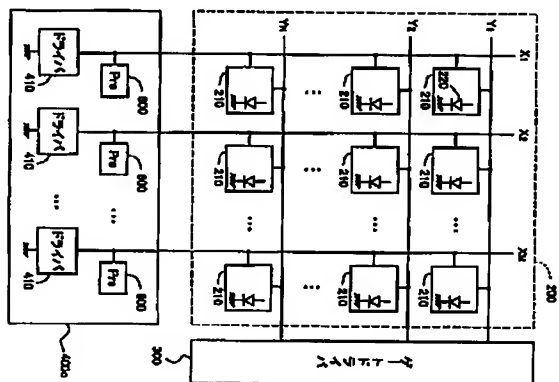
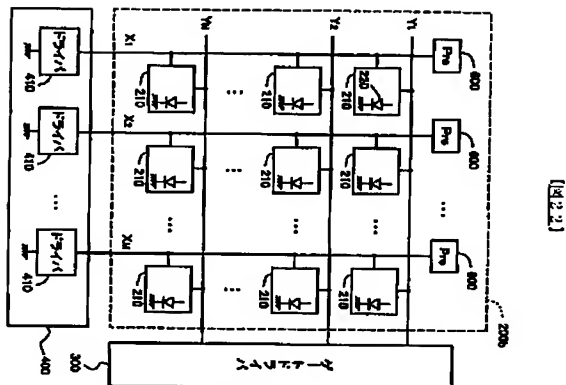
【図18】



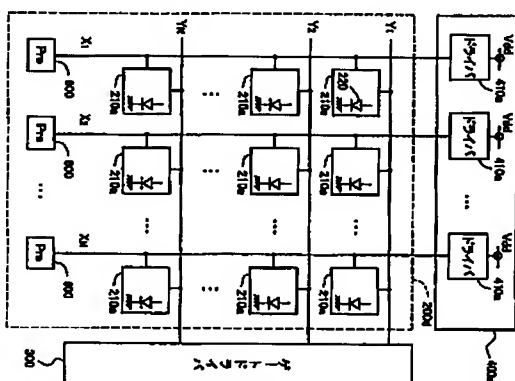
【図19】



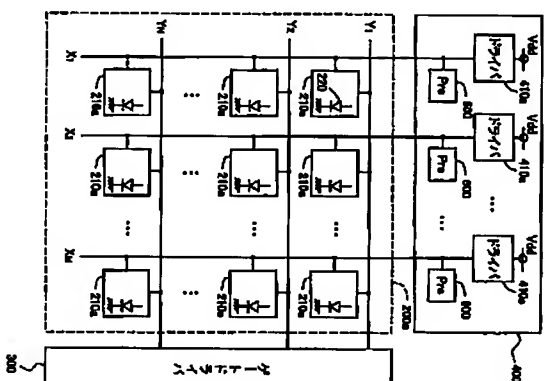
【図20】



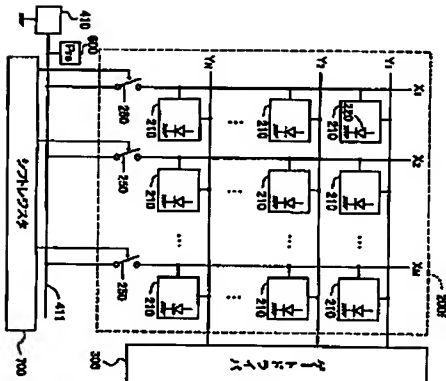
【図24】



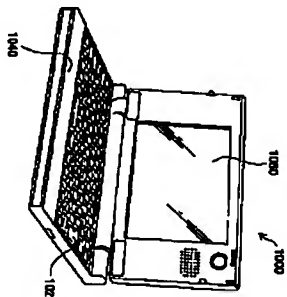
【図25】



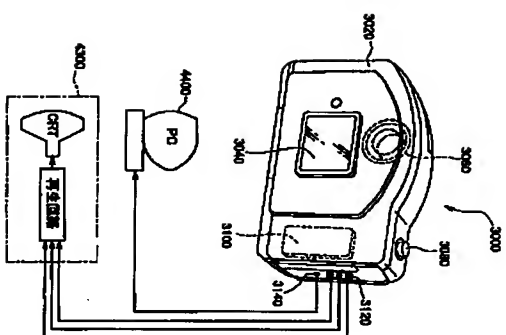
【図26】



【図27】



【図29】



【図30】

